

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-341063
(43)Date of publication of application : 22.12.1998

(51)Int.Cl. H05K 1/02

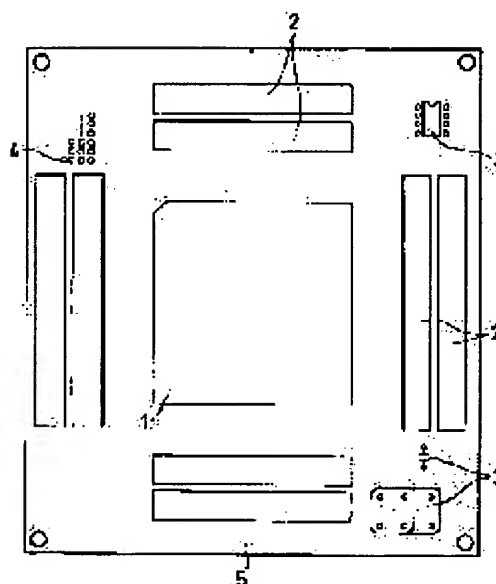
(21)Application number : 09-149443 (71)Applicant : SHASHIN KAGAKU:KK
(22)Date of filing : 06.06.1997 (72)Inventor : MIZUO MANABU
SHIBATA ETSUJI
YAMAMOTO YASUHEI

(54) PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a general-purpose printed circuit board which allows its circuit wiring to be changed, in addition to the change of FPGA.

SOLUTION: This board has a printed circuit board body 5 having an array region 1 capable of mounting at least a field programmable gate array and a connector region 2 capable of connecting at least two connectors provided with a peripheral region 3 capable of mounting peripheral circuits for ICs, etc., at the body 5, and the array region 1, connector region and peripheral region 3 are selectively connectable electrically.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-341063

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶

H 0 5 K 1/02

識別記号

P I

H 0 5 K 1/02

A

M

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平9-149443

(22) 出願日 平成9年(1997)6月6日

(71) 出願人 000145286

株式会社写真化学

京都府京都市上京区東堀川通り一条上ル堅

富田町436番地の5

(72) 発明者 水尾 学

京都市上京区東堀川通り一条上ル堅富田町

436番地の5 株式会社写真化学内

(72) 発明者 柴田 悦二

京都市上京区東堀川通り一条上ル堅富田町

436番地の5 株式会社写真化学内

(72) 発明者 山本 泰平

京都市上京区東堀川通り一条上ル堅富田町

436番地の5 株式会社写真化学内

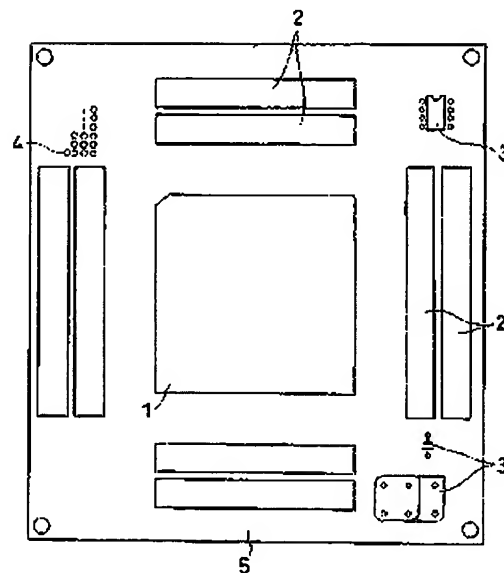
(74) 代理人 弁理士 藤本 昇 (外2名)

(54) 【発明の名称】 プリント基板

(57) 【要約】

【課題】 F P G A の変更に加えて回路の配線変更を行うことができる、汎用性のあるプリント基板を提供する。

【解決手段】 少なくとも一個のフィールドプログラマブルゲートアレイを載置可能なフィールドプログラマブルゲートアレイ領域1と、少なくとも二個のコネクタを載置可能なコネクタ領域2とがプリント基板本体5に設けられたプリント基板であって、前記プリント基板本体に I C 等の周辺回路が搭載可能な周辺領域3が設けられ、且つ前記フィールドプログラマブルゲートアレイ領域1とコネクタ領域2と周辺領域3とが選択的に電氣的接続可能にされてなることを特徴とする。



(2)

特開平10-341063

1

2

【特許請求の範囲】

【請求項1】 少なくとも一個のフィールドプログラマブルゲートアレイを載置可能なフィールドプログラマブルゲートアレイ領域(1)と、少なくとも二個のコネクタを載置可能なコネクタ領域(2)とがプリント基板本体(5)に設けられたプリント基板であって、前記プリント基板本体にIC等の周辺回路が搭載可能な周辺領域(3)が設けられ、且つ前記フィールドプログラマブルゲートアレイ領域(1)とコネクタ領域(2)と周辺領域(3)とが選択的に電気的接続可能にされてなることを特徴とするプリント基板。

【請求項2】 前記フィールドプログラマブルゲートアレイ領域(1)はフィールドプログラマブルゲートアレイを直接載置可能である請求項1記載のプリント基板。

【請求項3】 前記フィールドプログラマブルゲートアレイ領域(1)はフィールドプログラマブルゲートアレイを他のプリント基板を介して載置可能である請求項1記載のプリント基板。

【請求項4】 前記コネクタ領域(2)の表面及び裏面にコネクタを搭載可能とする請求項1～3の何れかに記載のプリント基板。

【請求項5】 前記プリント基板本体(5)が複数の小基板(7)、(7)・・・に分離可能であり、少なくとも一個の該小基板(7)に前記フィールドプログラマブルゲートアレイ領域(1)と周辺領域(3)とコネクタ領域(2)とが設けられている請求項1～4の何れかに記載のプリント基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリント基板に関する。さらに詳しくは、動作試験等に使用可能なプリント基板に関する。

【0002】

【従来の技術】近年、ICにとってかわり、フィールドプログラマブルゲートアレイ（以下、FPGAという）が各種の回路に用いられるようになってきている。このFPGAは、パーソナルコンピュータ等の外部機器によって内部回路を変更可能な集積回路であるため、ユーザーが外部機器でFPGAの内部回路を変更することによりFPGAの出力を変更することができるものである。従って、ユーザーは、プリント基板の配線を変更せずFPGAの出力を変更することにより、異なる出力特性を得ることができる。

【0003】

【発明が解決しようとする課題】前記FPGAは、上述のように、パーソナルコンピュータ等の外部機器によって内部回路を変更することができるものの、変更可能な範囲は限定されており、一枚のプリント基板に対してユーザーがFPGAの内部回路のみを変更することによって所望の機能を得るのは現実には困難であるという問題がある。

【0004】本発明は、以上のような問題点を解決するためになされたもので、FPGAの変更に加えて回路の配線変更を行うことができる、汎用性のあるプリント基板を提供することを課題とする。

【0005】

【課題を解決するための手段】上記課題を解決するためになされた本発明に係るプリント基板は、請求項1記載の如く、少なくとも一個のフィールドプログラマブルゲートアレイを載置可能なフィールドプログラマブルゲートアレイ領域1と、少なくとも二個のコネクタを載置可能なコネクタ領域2とがプリント基板本体5に設けられたプリント基板であって、前記プリント基板本体5にIC等の周辺回路が搭載可能な周辺領域3が設けられ、且つ前記フィールドプログラマブルゲートアレイ領域1とコネクタ領域2と周辺領域3とが選択的に電気的接続可能にされてなることを特徴とする。

【0006】このようにフィールドプログラマブルゲートアレイ領域1とコネクタ領域2と周辺領域3とが選択的に電気的接続可能とされることにより、ユーザーは必要な部分を選択して接続することができる。

【0007】ここで、周辺回路とは、IC、クロック回路等の回路のみならず、抵抗、コンデンサ等を含む概念である。

【0008】本発明に係るプリント基板は請求項2記載の如く、前記フィールドプログラマブルゲートアレイ領域1はフィールドプログラマブルゲートアレイを直接載置可能であることが、フィールドプログラマブルゲートアレイとプリント基板本体5との電気的抵抗が小さくなるため好ましい。

【0009】本発明に係るプリント基板は請求項3記載の如く、前記フィールドプログラマブルゲートアレイ領域1はフィールドプログラマブルゲートアレイを他のプリント基板を介して載置可能であることが、恒々のフィールドプログラマブルゲートアレイをプリント基板本体5に載置することができるため好ましい。

【0010】本発明に係るプリント基板は請求項4記載の如く、前記コネクタ領域2の表面及び裏面にコネクタを搭載可能とすることが、プリント基板本体5を上下方向に接続することができ、従ってプリント基板本体5間の距離を短く保つことができるため好ましい。

【0011】本発明に係るプリント基板は請求項5記載の如く、前記プリント基板本体5が複数の小基板7、7・・・に分離可能であり、少なくとも一個の該小基板7に前記フィールドプログラマブルゲートアレイ領域1と周辺領域3とコネクタ領域2とが設けられていることが、分離後の小基板7、7・・・を周辺の回路と組み合わせて接続することができ、従ってプリント基板の汎用性が広がるため好ましい。

【0012】

【発明の実施の形態】以下、本発明の実施の形態につい

(3) 特開平10-341063

3

て図面に基づいて説明する。図1は本発明のプリント基板の一実施の形態の概略平面図を示す。

【0013】図1において、1は、FPGAを直接搭載することができるように必要な箇所が予め配線されたFPGA領域を示し、2はコネクタを搭載するに必要な箇所が配線されたコネクタ領域を示し、3は例えばクロック回路を搭載するに配線された周辺領域を示す。尚、前記FPGA領域1、コネクタ領域2及び周辺領域3には夫々ユーザーが配線することができるよう、スルーホール4、4'が設けられており、前記FPGA領域1、コネクタ領域2及び周辺領域3からプリント基板本体5が構成されている。

【0014】上述のように形成されたプリント基板を使用するには、所定のFPGAをFPGA領域1に搭載し、動作試験を行なうために必要な周辺回路、例えばIC等を周辺領域3に搭載し、FPGA領域1と周辺領域3のスルーホール4、4'を配線により電気的に接続する。また、必要に応じてコネクタ領域2にコネクタを搭載し、FPGAの出力を外部に出力することができる。

【0015】このように、本発明のプリント基板を使用すれば、一枚のプリント基板本体に対し、ユーザーが外部の配線を変更することにより所望の回路の動作試験を行うことができる。従って開発コストの低減をはかることができる効果が得られる。

【0016】また、上述の如く、FPGAをFPGA領域1に直接取り付け付けたため、プリント基板本体5との電気的抵抗が小さくなる。従って、動作試験をする際、FPGAの動作特性をより正確に試験することができる。

【0017】上述の実施の形態におけるプリント基板をBUS規格に一部対応したものとすることもできる。

【0018】また、上述の実施の形態においてはFPGAを直接プリント基板本体5に取り付けることが可能なようにプリント基板本体5が配線されたが、本発明に係るプリント基板は上述に限定されることなく、FPGAが予め搭載されたプリント基板をプリント基板本体5に取り付けることができるように配線されていてもよい。

【0019】上述の如く、FPGAが予め搭載されたプリント基板本体5とは異なる他のプリント基板をプリント基板本体5に取り付けることによって、FPGAの種類を問わず、他のプリント基板を介してFPGAをプリント基板本体に搭載することができる。

【0020】さらに、上述の実施の形態においては、周辺領域にクロック回路が搭載される例について説明したが、周辺領域はクロック回路に限定されることなく、IC、抵抗、コンデンサ等の各種周辺回路を搭載することができるよう配線されている。

【0021】図2はプリント基板の他の実施の形態の概略平面図を示す。本実施の形態においては、一枚のプリント基板本体を二枚以上の小基板に分離可能とし、分離され得る小基板の少なくとも一個に二個のコネクタを設

4

置するためのコネクタ領域2と、FPGAを二個搭載可能とするFPGA領域1と、IC等の周辺回路を搭載可能とするための周辺領域3とが設けられていることを特徴とする。

【0022】尚、本実施の形態においては、図2に示すようにプリント基板本体5の略中央部で且つ図2の横方向に、プリント基板本体5の切断を容易とするための凹部で形成された切断溝6が設けられており、切断溝6にて切断された夫々の部分を小基板7とする。

【0023】図2に示すように、一方の小基板7（図2の上側に位置する小基板）は、該小基板7の略中央部に設けられた、スイッチングの役目を果たすプログラマブルデバイスを搭載可能な領域11と、二個のコネクタを搭載可能なコネクタ領域2と、IC、クロック回路等の周辺回路を搭載可能な周辺領域3とから構成されている。

【0024】また、他方の小基板7（図2の下側に位置する小基板）には、FPGAを搭載するFPGA領域1が二個設けられており、図2の横方向の両端部に周辺領域3が設けられている。さらに、前記他方の小基板7において、図2の横方向の一端部には二個のコネクタを搭載可能なコネクタ領域2が設けられている。

【0025】このように一方の小基板7がFPGA領域1と周辺領域3とコネクタ領域2を有するため、使用する際、プリント基板本体5を切断溝6で分離した後の小基板7にコネクタを接続することにより、小基板7を他のプリント基板と接続して用いることができる。このように分離した小基板をコネクタを用いて再度接続することにより、分離前と同様に用いることができる。

【0026】上述のように、本実施の形態によれば、プリント基板本体5を分離することにより様々な組み合わせで用いることができるので、プリント基板本体5をより汎用的に用いることができる。

【0027】上記実施形態によれば、切断溝6を一本としたが、切断溝を二本以上とし、切断溝6で分離され得る小基板のうち少なくとも一個にFPGA領域1と周辺領域3とコネクタ領域2が設けられるようプリント基板を構成することもできる。

【0028】また、本実施の形態においては、FPGAを二個搭載可能としたが、FPGAの数はこれに限定されず、一個又は三個以上搭載可能としてもよい。

【0029】本発明に係るコネクタ領域は、上述の実施の形態に限定されることなく、例えばコネクタをプリント基板の表面及び裏面の両面から搭載することができるよう構成されていてもよい。

【0030】このようにコネクタ領域の表面及び裏面の両面からコネクタを搭載することができれば、図3に示すように必要な部品を搭載したプリント基板本体5同士を上下方向に複数枚接続することができる。従って、平面的な場所を必要とせず、且つプリント基板本体に搭載されている部品の搭載箇所間の距離を過度に離間させず

(4)

特開平10-341063

5

6

にすみ、部品間が発生する信号遅延等を低減することができる。

【0031】また、コネクタ領域に設けられるコネクタの数は上述の各実施の形態に限定されことなく、三個以上であってもよく、FPGA領域に設けられるFPGAの数も少なくとも一個あればよい。

【0032】

【発明の効果】本発明に係るプリント基板によれば、プリント基板本体にIC等の周辺回路が搭載可能な周辺領域が設けられ、且つフィールドプログラマブルゲートアレイ領域とコネクタ領域と周辺領域とが選択的に電気的接続可能にされていることにより、ユーザーは必要な部分を選択し且つ配線して接続することができる。従って一枚のプリント基板本体に対し、ユーザーが外部の配線を変更することにより所望の回路の動作試験を行うことができる。開発コストの低減をはかることができる効果が得られる。

【0033】本発明に係るプリント基板によれば、前記フィールドプログラマブルゲートアレイ領域がフィールドプログラマブルゲートアレイを直接搭載可能であれば、フィールドプログラマブルゲートアレイとプリント基板本体との電気的抵抗が小さくなる。従って、フィールドプログラマブルゲートアレイの動作特性をより正確に検知可能である。

【0034】本発明に係るプリント基板によれば、前記フィールドプログラマブルゲートアレイ領域はフィールドプログラマブルゲートアレイを他のプリント基板を介して搭載可能であれば、種々のフィールドプログラマブル

*ルゲートアレイをプリント基板本体に載置することができる。

【0035】本発明に係るプリント基板によれば、前記コネクタ領域の表面及び裏面にコネクタを搭載可能とすれば、プリント基板本体を上下方向に接続することができ、従ってプリント基板本体間の接続距離を短く保つことができる。従って、プリント基板本体に搭載される部品間の距離が小さいため、部品間の信号遅延を低減することができる効果が得られる。

10 【0036】本発明に係るプリント基板によれば、前記プリント基板本体が複数の小基板に分離可能であり、該小基板の夫々に前記フィールドプログラマブルゲートアレイ領域と周辺領域とコネクタ領域とが設けられていれば、分離後の小基板を周辺の回路と組み合わせて接続することができ、従ってプリント基板の汎用性が広がる。

【図面の簡単な説明】

【図1】本発明のプリント基板の一実施の形態を示す概略平面図。

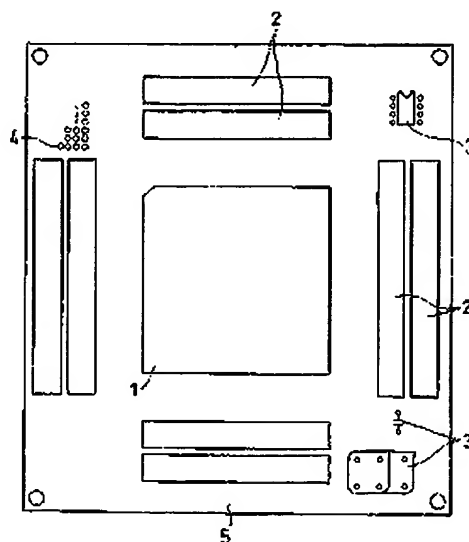
20 【図2】本発明のプリント基板の他の実施の形態を示す概略平面図。

【図3】本発明のプリント基板の使用状態を示す斜視図。

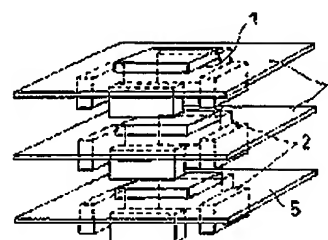
【符号の説明】

- 1 FPGA領域
- 2 コネクタ領域
- 3 周辺領域
- 5 プリント基板本体

【図1】



【図3】



(5)

特開平10-341063

【図2】

